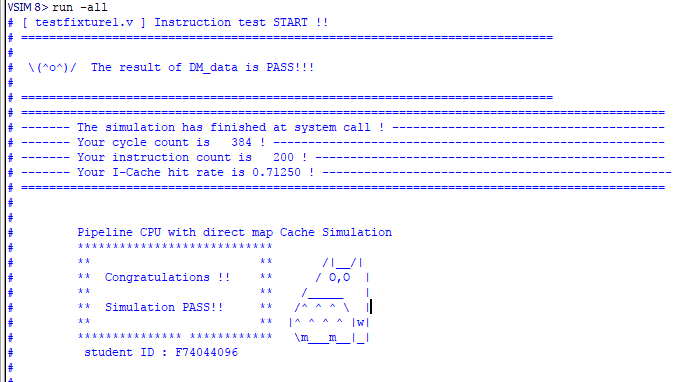
**Computer Organization 2017**

**HOMEWORK IV**

系級: 資訊系108 學號: F74044096 姓名: 吳元智

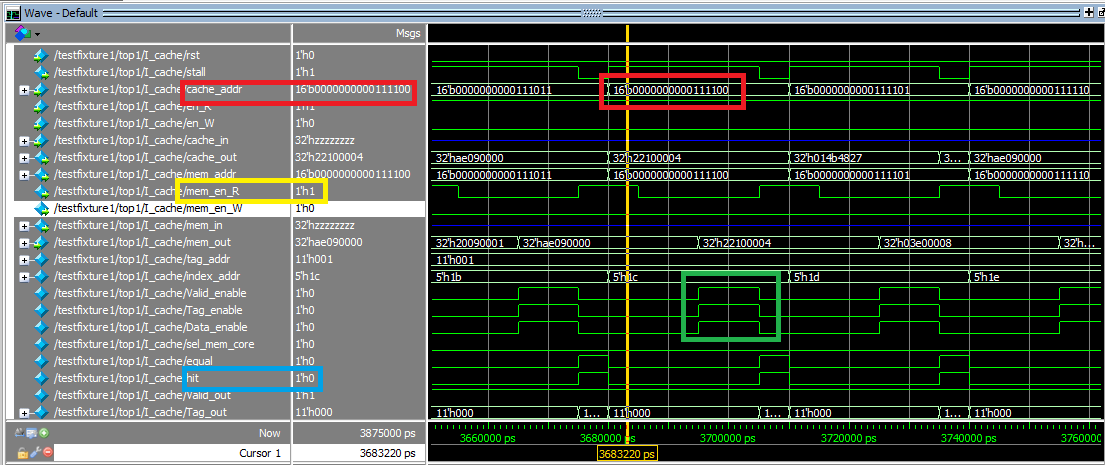
**實驗結果圖(snapshot of result)**

**The I-Cache hit rate of your simulation & your reason:**

因為每執行一個instruction會有3個clock cycle，而一個clock cycle大約是10000ps，共run了3874000ps，所以約有129個instructions，總共有64個hit，所以hit rate = 64/129 = 0.496

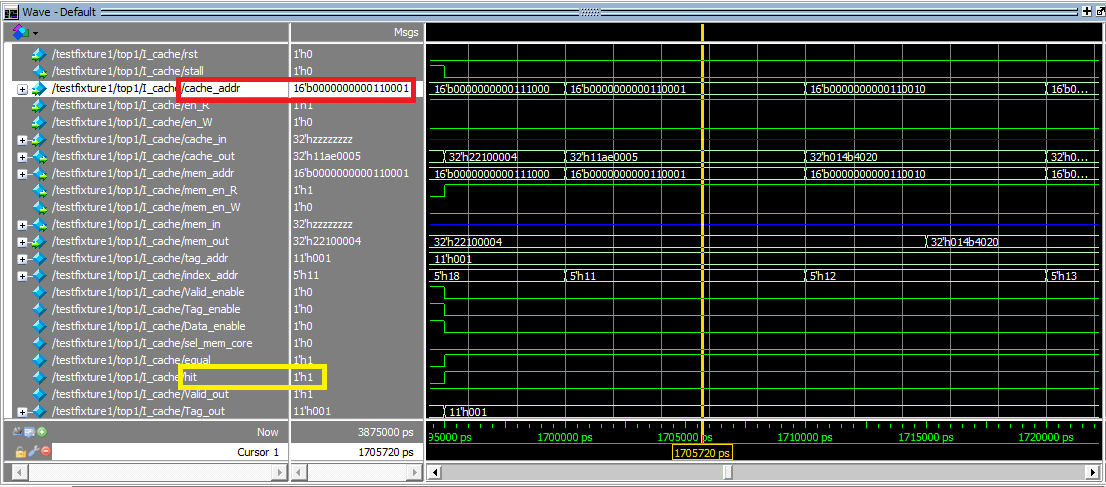
**指令波型圖( Instruction waveform of some situations)**

(Please explain why your snapshot is correct, including the wires, signals.)

1. I-Cache Miss

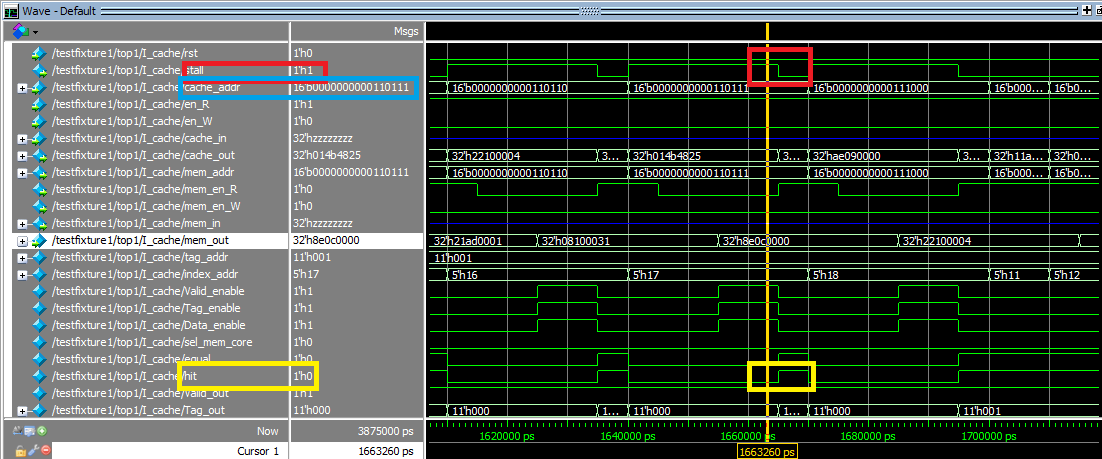
Description:

從cache\_addr = 0000000000011100可看出index = 11100、tag = 00000000，去cache裡找data，但因為沒找到，hit = 0，所以是miss，因此要到memory裡拿資料(mem\_en\_R = 1)，之後Valid\_enable、Tag\_enable、Data\_enable = 1，讓他寫入cache中。

1. I-Cache Hit:

Description:

從cache\_addr = 0000000000110001可看出index = 10001、tag = 00000000001，去cache裡找data，有找到，所以hit = 1

1. CPU stall:

Description:

從cache\_addr = 0000000000110111可看出index = 10111、tag = 00000000001，而在cache裡找不到data，所以hit = 0，而stall = 1，這樣才可以去將資料寫入cache，而當hit = 1，stall便 = 0

**心得(Report)**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。大約   
 100~200字 )

(Please write your learned lesson and conclusion, and difficult point. About   
 100~200 words)

這次的作業讓我對於cache處理讀取和寫入的部分是如何運作的有進一步的了解，雖然上課大概有聽懂一點點，但親自實作才稍微更加了解，像是在處理state的部分，要如何讓他跑到正確的state就讓我思考了很久，和同學討論才成功把它寫出來，state處理完還要讓他跑正確的訊號，這樣一來，才算是大致上把它處理好了